

CLIPPEDIMAGE= JP403257857A  
PAT-NO: JP403257857A  
DOCUMENT-IDENTIFIER: JP 03257857 A  
TITLE: THIN FILM CAPACITOR AND MANUFACTURE THEREOF

PUBN-DATE: November 18, 1991

INVENTOR-INFORMATION:

NAME

MATSUBARA, SHOGO

MIYASAKA, YOICHI

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP02057058

APPL-DATE: March 7, 1990

INT-CL\_(IPC): H01L027/04; H01G004/06

US-CL-CURRENT: 257/532

ABSTRACT:

PURPOSE: To prevent formation of a low dielectric constant layer while forming a thin film capacitor of high dielectric constant by forming a film consisting of a specific compound and a conductive layer consisting of a high melting point noble metal film between a silicon electrode and a dielectric film.

CONSTITUTION: In a thin film capacitor of the structure where a conductive layer, a dielectric layer and an upper electrode are by turns formed on a silicon electrode, the conductive layer is composed of the first layers 5, 9, 6 to be formed on the silicon electrode and a second layer to be formed thereon, and the first layer consists of at least one kind or more of material to be selected from ruthenium, ruthenium silicide, ruthenium oxide, and a second layer 7 consists of at least one or more kinds of materials selected from the high melting point noble metals of platinum, palladium, rhodium. On the silicon electrode, ruthenium or ruthenium silicide is formed on the first layers 5, 9, 6 of the conductive layer followed by heat treatment

in an oxygen  
atmosphere at above 400&deg;C to under 700&deg;C to oxidize one  
part or the  
whole of the first conductor layer, thereafter, one or more kinds  
of materials  
to be selected from the high melting point noble metals of  
platinum, palladium  
and rhodium are formed on the second conductive layer 7, whereon  
the dielectric  
and the upper electrode are by turns formed.

COPYRIGHT: (C)1991,JPO&Japio

## ⑫ 公開特許公報(A)

平3-257857

⑮ Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)11月18日

H 01 L 27/04  
H 01 G 4/06C  
1 0 27514-5F  
7924-5E

審査請求 有 請求項の数 2 (全5頁)

⑭ 発明の名称 薄膜コンデンサ及びその製造方法

⑯ 特 願 平2-57058

⑰ 出 願 平2(1990)3月7日

⑱ 発 明 者 松 原 正 吾 東京都港区芝5丁目33番1号 日本電気株式会社内  
 ⑱ 発 明 者 宮 坂 洋 一 東京都港区芝5丁目33番1号 日本電気株式会社内  
 ⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号  
 ⑳ 代 理 人 弁理士 内 原 晋

## 明 細 書

発明の名称 薄膜コンデンサ及びその製造方法

## 特許請求の範囲

1. シリコン電極上に導電層、誘電体、上部電極が順次形成された構造の薄膜コンデンサにおいて、導電層がシリコン電極上に形成される第1層とその上に形成される第2層とから構成され、第1層がルテニウム、ルテニウムシリサイド、酸化ルテニウムから選ばれる少なくとも1種以上の材料であり、第2層が白金、パラジウム、ロザウムの高融点貴金属から選ばれる少なくとも1種以上の材料であることを特徴とする薄膜コンデンサ。

2. シリコン電極上に導電層の第1層にルテニウムあるいはルテニウムシリサイドを形成した後400°C以上700°C以下の酸素雰囲気中で熱処理して導電層第1層の一部または全体を酸化し、しかる後に導電層第2層に白金、パラジウム、ロザウムの高融点貴金属から選ばれる少なくとも1種以上の材料を形成

し、その上に誘電体、上部電極を順次形成すること  
を特徴とする薄膜コンデンサの製造方法。

## 発明の詳細な説明

## (産業上の利用分野)

本発明は小型電子回路に用いる薄膜コンデンサに関する。

## (従来技術)

集積回路技術の発達によって電子回路がますます小型化しており、各種電子回路に必須の回路素子であるコンデンサの小型化も一段と重要になっている。誘電体薄膜を用いた薄膜コンデンサが、トランジスタ等の能動素子と同一の基板上に形成されて利用されているが、能動素子の小型化が急速に進む中で薄膜コンデンサの小型化は遅れており、より一層の高集積化を阻む大きな要因となってきた。これは、従来用いられている誘電体薄膜材料がSiO<sub>2</sub>、Si<sub>3</sub>N<sub>4</sub>等のような誘電率がたかだか10以下の材料に限られているためであり、薄膜コンデンサを小型化する手段として誘電率の大きな誘電体薄膜を開発することが必要となっている。

化学式 $ABO_3$ で表されるペロブスカイト型酸化物である $BaTiO_3$ 、 $SrTiO_3$ 、 $PbZrO_3$ およびイルメナイト型酸化物 $LiNbO_3$ あるいは $Bi_4Ti_3O_{12}$ 等の強誘電体に属する酸化物は、上記の単一組成並びに相互の固溶体組成で、単結晶あるいはセラミックにおいて100以上10000にも及ぶ誘電率を有することが知られており、セラミック・コンデンサに広く用いられている。これら材料の薄膜化は上述の薄膜コンデンサの小型化に極めて有効であり、かなり以前から研究が行われている。それらの中で比較的良好な特性が得られている例としては、プロシーディング・オブ・アイ・イー・イー・イー(Proceedings of the IEEE)第59巻10号1440-1447頁の所載の論文があり、スパッタリングによる成膜および熱処理を行った $BaTiO_3$ 薄膜で16(室温で作成)から1900(1200°Cで熱処理)の誘電率が得られている。

現在の高集積回路に広く用いられている電極材料は多結晶シリコンあるいはシリコン基板自体の一部に不純物を高濃度にドーピングした低抵抗シリコン層である。以下これらを総してシリコ

てしまい。高誘電率材料を用いる利点がほとんど損なわれていた。

(課題を解決するための手段)

本発明はシリコン電極上に導電層、誘電体、上部電極が順次形成された構造の薄膜コンデンサにおいて、導電層がシリコン上に形成される第1層とその上に形成される第2層とから構成され、第1層がルテニウム、ルテニウムシリサイド、酸化ルテニウムから選ばれる少なくとも1種以上の材料であり、第2層が白金、パラジウム、ロジウムの高融点貴金属から選ばれる少なくとも1種類以上の材料であることを特徴とする薄膜コンデンサと所定温度で第1導電層を酸化する工程を備えた製造方法である。

(実施例1)

以下、本発明の実施例について図面を参照して説明する。

第1図は本実施例の薄膜コンデンサの構造図である。単結晶シリコン1の表面の一部にリンを高濃度にドーピングして低抵抗層2が形成され、その上に

ン電極と呼ぶ。シリコン電極は微細加工技術が確立されており、すでに広く用いられているため、シリコン電極上に良好な高誘電率薄膜が作製できれば、集積回路用コンデンサへの利用が可能となる。しかしながら従来技術では例えばIBM・ジャーナル・オブ・リサーチ・アンド・ディベロップメント(IBM Journal of Research and Development)1969年11月号686-695頁に所載の $SrTiO_3$ 膜に関する論文が、ジャーナル・オブ・バキューム・サイエンス・アンド・テクノロジー(Journal of Vacuum Science and Technology)第16巻2号315-318頁に所載の $BaTiO_3$ に関する論文が報告されている。

(発明が解決しようとする課題)

上記のように高誘電率を得るためには高い成膜温度を必要とするが、従来シリコン電極上に作製されている $BaTiO_3$ 等の誘電体薄膜は約100Åの二酸化シリコン( $SiO_2$ )に等価な層が界面に形成されてしまうと報告されている。この界面層は誘電率が低い層であるため、結果としてシリコン上に形成した高誘電率薄膜の実効的な誘電率は大きく低下し

層間絶縁膜として酸化シリコン膜3が形成されている。酸化シリコン膜の一部は、低抵抗層を通じて下部電極を引き出すためのコンタクトホールが2箇所形成されており、一方のコンタクトホールは多結晶シリコン膜4で埋められ、もう一方のコンタクトホールはAl膜5で埋められている。従って、Al膜5は下部電極の端子となる。下部電極膜4はコンタクトホールを埋めると共にその一部が酸化シリコン膜上へ形成されてもよい。下部電極膜4上には導電層第1層6、第2層7が形成され、その上に $BaTiO_3$ 膜8が形成され、その上には上部電極としてAl9が形成されている。

導電層は直流マグネトロンスパッタ法で第1層の酸化ルテニウム、第2層の白金を順に作製した。Arガス雰囲気、 $4 \times 10^{-3}$  Torr、基板温度100°Cで行い、白金、酸化ルテニウムの膜厚はいずれも1500Åとした。酸化ルテニウムの成膜には $RuO_2$ 組成の焼結体ターゲットを用いた。 $BaTiO_3$ 膜は化学量論組成の粉末ターゲットを用い、高周波マグネトロンスパッタ法で3000Åの膜厚のものを作製した。Ar- $O_2$

混合ガス中、 $1 \times 10^{-2}$  Torr、基板温度600°Cでスパッタ成膜した。上部電極には5000ÅのAlを直流スパッタ法により成膜した。本コンデンサの有効面積は $250 \mu\text{m}^2$ である。つぎに導電層として本方法の白金、酸化ルテニウムを用いた場合、高融点貴金属である白金膜だけを用いた場合、更に導電層を形成しない場合のBaTiO<sub>3</sub>膜の特性の違いについて述べる。第2図において(a)は本方法の白金と酸化ルテニウムの多層膜を用いた場合のBaTiO<sub>3</sub>膜の、(b)は膜厚3000Åの白金膜を用いた場合の、(c)は膜厚3000Åでシート抵抗 $100 \Omega/\text{cm}^2$ の多結晶シリコン膜を用いた場合のBaTiO<sub>3</sub>膜の膜厚による誘電率の変化を調べたものである。本方法の多層膜を用いた場合のBaTiO<sub>3</sub>膜の誘電率はその膜厚に依存せず一定であるのに対し、白金膜あるいは多結晶シリコン膜を用いた場合には誘電体膜の膜厚が小さくなるにつれて誘電率が著しく減少してしまう。

多結晶シリコン膜での誘電率の低下は従来報告されている通り、誘電体と電極の界面におけるシリコンの酸化層の形成、あるいは誘電体膜成長初

期の低誘電率層の形成が原因である。(b)の白金膜での場合には誘電体膜成膜後のX線回折により白金のシリサイド化が確認された。これは600°Cでの誘電体の成膜時にシリコンが白金と反応し、シリサイド化合物を形成しながら最表面に達したことを意味している。従って、電極の最表面にはシリコンが存在し、多結晶シリコン膜の場合と同様な状態で低誘電率層を形成したものと考えられる。これに対して、同じくX線回折によれば、白金と酸化ルテニウムの多層膜では誘電体の成膜後も白金がシリサイド化せず元の状態で存在している。即ち、シリコンは酸化ルテニウム層でその拡散が抑えられて白金層に達しておらず、前述のようなシリコンの酸化による低誘電率層の形成が起こらなかったと考えられる。

白金と酸化ルテニウムとの密着性を向上させることを目的に、一般に行われているように白金と酸化ルテニウムとの間にチタンなどの密着層を挿入した構造としても本発明の効果が損なわれることはない。また、白金の代わりにパラジウム、あ

るいはロジウムの高融点貴金属を用いても同様な結果が得られることを確認した。

#### (実施例2)

実施例1の薄膜コンデンサにおいて、導電層の第1層にルテニウムシリサイドを用い、BaTiO<sub>3</sub>膜の誘電率の膜厚依存性を調べた。ルテニウムシリサイドはRu/Si=1/1組成の焼結体ターゲットを用いて直流スパッタ法で成膜し、膜厚1500Åとした。

実施例1と同様にBaTiO<sub>3</sub>膜の誘電率はその膜厚に依存せず本来の値約220が得られた。但し、誘電体膜成膜後のX線回折によれば、酸化ルテニウムの場合は異なり、白金がシリサイド化していることが確認された。このことから、ルテニウムシリサイドは少なくとも酸化ルテニウムのようにシリコンの拡散を抑止する効果はなくシリコンは電極の最表面まで達するが、その上に形成された誘電体膜の膜質は実施例1(b)の白金膜上に形成された膜とは異なると考えられる。

本実施例でルテニウムシリサイドの代わりにルテニウムを用いた場合にも同様な結果が得られることを確認した。

#### (実施例3)

実施例1の薄膜コンデンサにおいて、導電層の第2層に白金、パラジウム、ロジウムの高融点貴金属からなる合金膜、あるいは多層膜を用いた。表1に本実施例で用いた材料をまとめた。

第1表

1	合金膜	Pt 85at%—Rh 15at%, 1500Å
2	合金膜	Pt 80at%—Pd 20at%, 1500Å
3	合金膜	Pd 90at%—Rh 10at%, 1500Å
4	多層膜	Pt(1000Å)/Rh(500Å)
5	多層膜	Pt(1000Å)/Pd(500Å)
6	多層膜	Pd(1000Å)/Rh(500Å)

本実施例においても実施例1と同様に、BaTiO<sub>3</sub>膜の誘電率はその膜厚に依存せず約220の値が得られ、界面での低誘電率層の形成を防止できた。ま

た、X線回折によって、第2層の高融点貴金属の合金あるいは多層膜がシリサイド化していないことを確認した。

#### (実施例4)

実施例2と同様に導電層の第1層にルテニウムシリサイドを直流スパッタ法で1500Å成膜した後、500°C、酸素ガス雰囲気中で熱処理してルテニウムシリサイド膜を酸化し、しかる後に、実施例1と同様に白金、BaTiO<sub>3</sub>、Alを形成した。

実施例1、2と同様にBaTiO<sub>3</sub>膜の誘電率はその膜厚に依存せず約220の値が得られた。誘電体成膜後のX線回折によれば白金はシリサイド化しておらず、その点で実施例2の結果と異なる。即ち、ルテニウムシリサイドを酸化した膜はシリコンを多量に含有するにもかかわらず、白金へのシリコンの拡散を抑止している。ルテニウムシリサイド膜を酸化する温度としては400°C以上が必要である。ルテニウムシリサイド膜のシート抵抗は酸化温度に依存し、400°Cから600°Cまでは約10Ω/□であるが、630°Cから増加し始め、700°Cより高温で酸化する

と著しく増大して100Ω/□以上となる。薄膜コンデンサにおいて電極の抵抗は小さいほどよく、従って、ルテニウムシリサイドの酸化処理温度は400°C以上、700°C以下がよい。

本実施例において作製されたルテニウム-シリコン酸化物膜は、実施例1で作製された酸化ルテニウム膜よりもシリコン電極との密着性に優れていることが特徴である。例えば本実施例と同様にシリコン基板上に膜厚1500Åのルテニウム-シリコンから成る酸化物膜を形成してその上にBaTiO<sub>3</sub>膜2μmをスパッタ成膜しても膜の剥離は起こらなかったが、実施例1のようにシリコン電極上に膜厚1500Åスパッタ成膜した酸化ルテニウム膜の上に3500Å以上のBaTiO<sub>3</sub>を成膜すると、酸化ルテニウムとシリコン電極の間で全面剥離を生じた。

また、本実施例のルテニウムシリサイド膜の代わりにルテニウム膜を用いても同様に密着性向上の効果があつた。

以上の実施例はBaTiO<sub>3</sub>膜について説明したが、この他にSrTiO<sub>3</sub>、PbTiO<sub>3</sub>、PbZrO<sub>3</sub>、LiNbO<sub>3</sub>、Bi<sub>3</sub>Ti<sub>4</sub>

O<sub>12</sub>及び固溶体(Ba, Sr)TiO<sub>3</sub>、(Ba, Pb)TiO<sub>3</sub>、Pb(Zr, Ti)O<sub>3</sub>についても同様の作製、評価を行った結果、膜厚によらず誘電体膜本来の誘電率が得られた。

#### (発明の効果)

本発明は以上説明したように、シリコン電極上に形成された薄膜コンデンサにおいてシリコン電極と誘電体膜の間に酸化ルテニウム、ルテニウムシリサイド、もしくはルテニウムからなる膜と高融点貴金属膜からなる導電層を形成することにより、低誘電率層の形成を防ぎ、高誘電率の薄膜コンデンサを提供することができる。

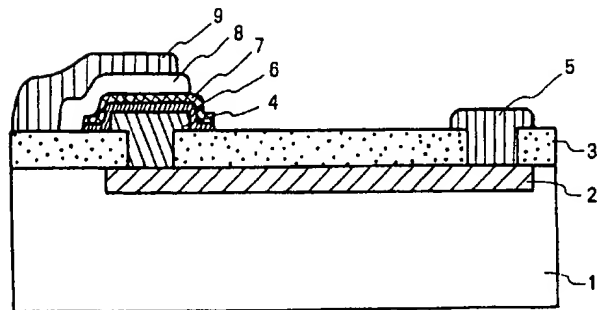
#### 図面の簡単な説明

第1図は本発明における実施例1の薄膜コンデンサの断側面図、第2図はBaTiO<sub>3</sub>膜の膜厚と誘電率の関係を示す図。

図において、1…単結晶シリコン基板、2…単結晶シリコンの低抵抗層、3…酸化シリコン、4…多結晶シリコン膜、5, 9…Al、6…導電層第1層、7…導電層第2層、8…BaTiO<sub>3</sub>膜。

代理人 弁理士 内原 晋

第 1 図



第 2 図

